



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 9 1 2 8 2
Application Number:

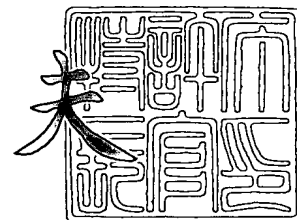
[ST. 10/C] : [J P 2 0 0 3 - 0 9 1 2 8 2]

出 願 人 川崎マイクロエレクトロニクス株式会社
Applicant(s):

2 0 0 4 年 2 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 2003K00017

【提出日】 平成15年 3月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H03M 1/74

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬一丁目三番地 川崎マイクロエレクトロニクス株式会社 幕張本社内

【氏名】 植野 雅之

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬一丁目三番地 川崎マイクロエレクトロニクス株式会社 幕張本社内

【氏名】 ▲高▼田 昌利

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬一丁目三番地 川崎マイクロエレクトロニクス株式会社 幕張本社内

【氏名】 小笠原 寛

【特許出願人】

【識別番号】 501285133

【氏名又は名称】 川崎マイクロエレクトロニクス株式会社

【代理人】

【識別番号】 100080159

【弁理士】

【氏名又は名称】 渡辺 望稔

【電話番号】 3864-4498

【選任した代理人】

【識別番号】 100090217

【弁理士】

【氏名又は名称】 三和 晴子

【電話番号】 3864-4498

【手数料の表示】

【予納台帳番号】 006910

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0113437

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 I/V 変換回路およびDAコンバータ

【特許請求の範囲】

【請求項1】

I 入力端子から電流が供給される第1ノードとグランドとの間に接続された第1素子、および前記第1ノードに供給される電流がカレントミラーされる第2ノードとグランドとの間に接続された第2素子を有するカレントミラー回路と、

前記第1ノードに第1のバイアス電流を供給し、前記第1ノードに供給される電流量を調整する第1のバイアス電流発生回路と、

前記第1ノードの電圧とバイアス電圧とをその入力とし、前記第1ノードの電圧が前記バイアス電圧と略等しい電圧となるように、前記カレントミラー回路の第1素子および第2素子を制御する第1の制御回路と、

前記第2ノードに第2のバイアス電流を供給し、前記第2ノードに供給される電流量を調整する第2のバイアス電流発生回路と、

前記第2ノードと V 出力端子との間に接続され、前記バイアス電圧を基準として、自分自身に流れる電流を電圧に変換する第3素子と、

前記第2ノードの電圧と前記バイアス電圧とをその入力とし、前記第2ノードの電圧が前記バイアス電圧と略等しい電圧となるように、前記 V 出力端子から出力される電圧を制御する第2の制御回路とを備えることを特徴とする I/V 変換回路。

【請求項2】

前記第2のバイアス電流は前記第1のバイアス電流の m 倍であり、前記カレントミラー回路の第2素子を介して流れる電流は第1素子を介して流れる電流の m 倍である請求項1に記載の I/V 変換回路。

【請求項3】

前記カレントミラー回路の第1素子および第2素子はN型MOSトランジスタ、前記第3素子は抵抗素子、前記第1の制御回路および前記第2の制御回路はオペアンプである請求項1または2に記載の I/V 変換回路。

【請求項4】

前記バイアス電圧の値を変更する手段を備える請求項 1 ～ 3 のいずれかに記載の I/V 変換回路。

【請求項 5】

アナログ信号に変換すべきデジタル信号の値に対応する合計電流を発生する電流発生回路と、請求項 1 ～ 4 のいずれかに記載の I/V 変換回路とを備え、

前記電流発生回路によって発生される合計電流が、前記 I/V 変換回路の I 入力端子から第 1 ノードに供給されることを特徴とする DA コンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流を電圧に変換する I/V （電流／電圧）変換回路およびこれを用いた DA コンバータに関するものである。

【0002】

【従来の技術】

従来の DA コンバータ（以下、DAC という）は、電流発生回路により、アナログ信号に変換すべきデジタル信号の値に対応した合計電流を発生し、 I/V 変換回路により、合計電流を電圧に変換することによって、デジタル信号の値に対応する電圧を有するアナログ信号を発生する。

【0003】

しかし、従来の DAC では、電流発生回路として、MOS トランジスタが用いられているため、アナログ信号の電圧に応じてリニアリティ不良が発生するという問題があった。また、DAC により発生されるアナログ信号の電圧は、これを利用する後段回路の入出力特性に応じてシフトしておかないと、後段回路において、DAC から出力されるアナログ信号を使用することができないという問題があった。

【0004】

これに対し、本出願人は、特許文献 1 において、アナログ信号のリニアリティ不良を解消し、後段回路の入出力特性に応じて、アナログ信号の電圧をレベルシフトすることができる I/V 変換回路とこれを用いた DAC を提案している。

【0005】

図4は、特許文献1に開示のI/V変換回路の構成回路図である。同図に示すI/V変換回路40は、カレントミラー回路となるN型MOSトランジスタ（以下、NMOSという）42、44と、オペアンプ46、48と、P型MOSトランジスタ（以下、PMOSという）50と、抵抗値Rの抵抗素子52とを備えている。また、同図には、DACから供給される電流に相当する、アナログ信号Voutに変換すべきデジタル信号の値に対応する合計電流I_{sig}を発生する電流源54と、バイアス電流I_bを発生する電流源56とが示されている。

【0006】

特許文献1に開示のI/V変換回路40では、オペアンプ46により、ノードAの電圧がバイアス電圧V_bと同じ電圧となるように、カレントミラー回路のNMOS42、44が制御され、オペアンプ48により、ノードBの電圧がバイアス電圧V_bと同じ電圧となるようにPMOS50が制御される。そして、抵抗素子52により、バイアス電圧V_bを基準として、NMOS42からNMOS44へカレントミラーされた電流（I_{sig}+I_b）が電圧に変換される。

【0007】

特許文献1のI/V変換回路40によれば、ノードAの電圧、すなわち電流源54のMOSトランジスタのソース・ドレイン間の電圧を一定電圧に固定できるため、アナログ信号Voutのリニアリティ不良を解消することができる。また、バイアス電流I_b、バイアス電圧V_b、抵抗素子52の抵抗値Rの設定を適宜変更し、後段回路の入出力特性に応じて、アナログ信号Voutの出力レベルを変換することにより、後段回路へのアナログ信号Voutの伝達を容易にすることができる。

【0008】

特許文献1のI/V変換回路40からは、下記式により算出されるアナログ信号Voutが出力される。

$$\begin{aligned} V_{out} &= R \cdot (I_{sig} + I_b) + V_b \\ &= R \cdot I_{sig} + R \cdot I_b + V_b \end{aligned}$$

ここで、 $R \cdot I_{sig}$ は信号成分であり、 $R \cdot I_b + V_b$ はクランプ成分であ

る。

【0009】

すなわち、アナログ信号 V_{out} の電圧は、 $R \cdot I_b + V_b$ でクランプされ、そのクランプレベルは、 R 、 I_b 、 V_b の値を変えることによって任意の値に設定可能である。ところが、 R の値を変えると信号成分の振幅が変わってしまうし、 V_b の値を動的に変えると、リニアリティ不良が発生して DA コンバータの性能が劣化する。そのため、クランプレベルの制御は、 R および V_b の値を固定し、 I_b の値を変えることによって行われている。

【0010】

しかし、 I_b の値を小さくすると、インピーダンスが上昇して回路の通過帯域が狭くなり、高速動作には不向きとなるため、 I_b の値を信号の最大周波数に応じた一定値以上に設定する必要がある。一方、 I_b の値を大きくすると消費電流が増大するため、消費電流の点では、 I_b の値を極力小さい値に設定する必要がある。従って、従来の I/V 変換回路 40 には、適切な I_b の値を決定するために、 I_b の値を制御する手段が必要であった。

【0011】

【特許文献 1】

特開 2002-118468 号公報

【0012】

【発明が解決しようとする課題】

本発明の目的は、前記従来技術に基づく問題点を解消し、信号の通過帯域を広くとることができ、消費電流も削減することができる I/V 変換回路および DA コンバータを提供することにある。

【0013】

【課題を解決するための手段】

上記目的を達成するために、本発明は、 I 入力端子から電流が供給される第 1 ノードとグラウンドとの間に接続された第 1 素子、および前記第 1 ノードに供給される電流がカレントミラーされる第 2 ノードとグラウンドとの間に接続された第 2 素子を有するカレントミラー回路と、

前記第1ノードに第1のバイアス電流を供給し、前記第1ノードに供給される電流量を調整する第1のバイアス電流発生回路と、

前記第1ノードの電圧とバイアス電圧とをその入力とし、前記第1ノードの電圧が前記バイアス電圧と略等しい電圧となるように、前記カレントミラー回路の第1素子および第2素子を制御する第1の制御回路と、

前記第2ノードに第2のバイアス電流を供給し、前記第2ノードに供給される電流量を調整する第2のバイアス電流発生回路と、

前記第2ノードとV出力端子との間に接続され、前記バイアス電圧を基準として、自分自身に流れる電流を電圧に変換する第3素子と、

前記第2ノードの電圧と前記バイアス電圧とをその入力とし、前記第2ノードの電圧が前記バイアス電圧と略等しい電圧となるように、前記V出力端子から出力される電圧を制御する第2の制御回路とを備えることを特徴とするI/V変換回路を提供するものである。

【0014】

ここで、前記第2のバイアス電流は前記第1のバイアス電流のm倍であり、前記カレントミラー回路の第2素子を介して流れる電流は第1素子を介して流れる電流のm倍であるのが好ましい。

【0015】

また、前記カレントミラー回路の第1素子および第2素子はN型MOSトランジスタ、前記第3素子は抵抗素子、前記第1の制御回路および前記第2の制御回路はオペアンプであるのが好ましい。

【0016】

また、前記バイアス電圧の値を変更する手段を備えるのが好ましい。

【0017】

また、本発明は、アナログ信号に変換すべきデジタル信号の値に対応する合計電流を発生する電流発生回路と、上記のいずれかに記載のI/V変換回路とを備え、

前記電流発生回路によって発生される合計電流が、前記I/V変換回路のI入力端子から第1ノードに供給されることを特徴とするDAコンバータを提供する

【0018】**【発明の実施の形態】**

以下に、添付の図面に示す好適実施形態に基づいて、本発明の I/V 変換回路およびこれを用いた DA コンバータを詳細に説明する。

【0019】

図1は、本発明の I/V 変換回路の一実施形態の構成回路図である。同図に示す I/V 変換回路 10 は、本発明の DA コンバータ（以下、DAC という）の出力段に用いられる電流/電圧変換回路であり、N 型 MOS トランジスタ（以下、NMOS という）12、14 と、オペアンプ 16、18 と、抵抗素子 20 と、電流源 22、24 とを備えている。なお、同図には、電流源 26、負荷 CL も示されている。

【0020】

ここで、NMOS 12、14 は、そのゲートに共通の信号（オペアンプ 16 の出力信号）が入力されており、カレントミラー回路を構成する。すなわち、後述するように、NMOS 12、14 には常に同量の電流 $I_{sig} + I_{b1}$ が流れる。NMOS 12 はノード A とグランドとの間に接続され、NMOS 14 はノード B とグランドとの間に接続されている。

【0021】

また、オペアンプ 16、18 は、その端子+と端子-に入力される電圧が等しくなるように、その出力信号の電圧を調整する制御回路である。オペアンプ 16 は、その端子+にノード A の電圧 V_{b1} 、端子-にバイアス電圧 V_b が入力され、その出力信号は NMOS 12、14 のゲートに共通に入力されている。オペアンプ 18 は、その+端子にノード B の電圧 V_{b2} 、端子-にバイアス電圧 V_b が入力され、その出力信号は、アナログ信号 V_{out} として V 出力端子から出力されている。

【0022】

抵抗素子 20 は、ノード B の電圧 V_{b2} を基準として、自分自身に流れる電流 I を電圧 V に変換する素子であり、アナログ信号 V_{out} とノード B との間に接

続されている。抵抗素子 20 の抵抗値は R とする。

【0023】

電流源 22 は、電流量を微調整するためのバイアス電流 I_{b1} を発生し、ノード A に供給する電流発生回路であり、電源とノード A との間に接続されている。同様に、電流源 24 は、電流量を微調整するためのバイアス電流 I_{b2} を発生し、ノード B に供給する電流発生回路であり、電源とノード B との間に接続されている。

【0024】

なお、電流源 26 は、本発明の DAC において、アナログ信号 V_{out} に変換すべきデジタル信号の値に対応する合計電流 I_{sig} を発生する電流発生回路であり、電源とノード A との間に接続されている。電流源 26 が発生する合計電流 I_{sig} は、 I/V 変換回路 10 の I 入力端子からノード A に供給される。本発明の DAC は、基本的に、この電流発生回路と、図 1 に示す I/V 変換回路 10 とによって構成される。

【0025】

以下、 I/V 変換回路 10 の動作を説明する。

【0026】

電流源 26 からは、 I 入力端子を介してノード A に合計電流 I_{sig} が供給される。この合計電流 I_{sig} は、本発明の DAC がアナログ信号 V_{out} に変換すべきデジタル信号の値に応じて変化する。

【0027】

I/V 変換回路 10 では、ノード A の電圧 V_{b1} が、合計電流 I_{sig} の変化に関わらず、バイアス電圧 V_b と常に同じ電圧となるように、オペアンプ 16 の出力信号の電圧が変化する。オペアンプ 16 の出力信号は NMOS 12 のゲートに入力され、NMOS 12 のオン抵抗が変化する。これにより、ノード A の電圧 V_{b1} は、合計電流 I_{sig} の変化に関わらず、常にバイアス電圧 V_b と同じ電圧となるように制御される。

【0028】

このように、 I/V 変換回路 10 では、ノード A の電圧 V_{b1} 、すなわち本発

明のDACにおいて、デジタル信号の値に応じた合計電流 I_{sig} を発生する電流源 26 となる MOS トランジスタのソース・ドレイン間の電圧 V_{ds} が、常に一定電圧となるように制御されるため、DAC のリニアリティ不良を解消することができる。

【0029】

NMOS 12, 14 は、前述のようにカレントミラー回路を構成する。NMOS 12 には、電流源 26 から供給される合計電流 I_{sig} と電流源 22 から供給されるバイアス電流 I_{b1} とを加算した電流 $I_{sig} + I_{b1}$ が流れる。従って、NMOS 12 と同様に、オペアンプ 16 の出力信号に応じて NMOS 14 のオン抵抗が変化し、NMOS 14 には、常に NMOS 12 と同量の電流 $I_{sig} + I_{b1}$ が流れる。

【0030】

V 出力端子から出力されるアナログ信号 V_{out} の電圧、すなわちオペアンプ 18 の出力信号の電圧は、ノード B の電圧 V_{b2} とバイアス電圧 V_b とが常に同じ電圧となるように変化する。前述のように、NMOS 14 を介して流れる電流は $I_{sig} + I_{b1}$ であるから、抵抗素子 20 を流れる電流は、 $I_{sig} + I_{b1} - I_{b2}$ となる。ここで、 $I_{b1} \div I_{b2}$ であれば、抵抗素子 20 を流れる電流は I_{sig} となる。

【0031】

抵抗素子 20 を流れる電流 I_{sig} は抵抗素子 R により I/V 変換され、アナログ信号 $V_{out} = I_{sig} \cdot R + V_{b2}$ として出力される。ここで、 $V_{b1} \div V_{b2} \div V_b$ であるから、アナログ信号 $V_{out} = I_{sig} \cdot R + V_b$ となる。

【0032】

すなわち、アナログ信号 V_{out} の電圧は、ノード B の電圧 $V_{b2} \div$ バイアス電圧 V_b にクランプされる。このため、DAC のアナログ信号 V_{out} を利用する後段回路の入出力特性に応じてバイアス電圧 V_b を適宜設定することにより、アナログ信号 V_{out} の出力レベルを変換することができ、後段回路へのアナログ信号 V_{out} の伝達を容易にすることができる。

【0033】

また、アナログ信号 V_{out} の電圧は、バイアス電流 I_{b1} 、 I_{b2} の値に依存しない。従って、バイアス電流 I_{b1} 、 I_{b2} の値を制御する回路が不要であり、回路規模を削減することができるため、コストダウンが可能である。また、バイアス電流 I_{b1} 、 I_{b2} は、信号の最大周波数に応じた一定値以上の最小値に設定することができるため、消費電流の削減も可能である。さらに、負荷 C_L は、オペアンプ 18 により直接駆動されるため、例えば $I_{sig} = 0$ となり、抵抗素子 20 に電流が流れない場合であっても、インピーダンスが高くなることはなく、従って通過帯域が狭くなることもない。

【0034】

次に、図 1 に示す I/V 変換回路 10 において、出力増幅率を変更する場合を説明する。

【0035】

図 2 は、本発明の I/V 変換回路の別の実施形態の構成回路図である。同図に示す I/V 変換回路 30 は、図 1 に示す I/V 変換回路 10 において、電流源 24 および NMOS 14 の代わりに、それぞれ流れる電流が m 倍の電流源 24' および NMOS 14' を用いて構成されている。 I/V 変換回路 30 のこれ以外の構成は、 I/V 変換回路 10 と同じであるから、同一要素に同一符号を付してその繰り返しの説明は省略する。

【0036】

図 3 は、電流源の一実施形態の構成回路図である。同図に示すように、電流源 22、24' は、例えば P 型 MOS トランジスタ（以下、PMOS という）32、34 によって構成される。ここで、PMOS 32 は、電源とノード A との間に接続され、PMOS 34 は、電源とノード B との間に接続されている。また、PMOS 32、34 のゲートには信号 V_{gate} が共通に入力され、カレントミラー回路が構成されている。

【0037】

ここで、PMOS 34 のトランジスタサイズは PMOS 32 のトランジスタサイズの m 倍である。従って、電流源 22 によって発生されるバイアス電流を I_b とすると、電流源 24' によって発生されるバイアス電流は $m I_b$ となる。

【0038】

同様に、カレントミラー回路を構成するNMOS14'のトランジスタサイズはNMOS12のトランジスタサイズのm倍である。従って、NMOS12を流れる電流が $I_{sig} + I_b$ であるから、NMOS14'を流れる電流は $m(I_{sig} + I_b)$ となる。

【0039】

従って、V出力端子から出力されるアナログ信号 V_{out} は下記式で表される。すなわち、

$$\begin{aligned} V_{out} &= \{m(I_{sig} + I_b) - mI_b\} \cdot R + V_{b2} \\ &= m \cdot I_{sig} \cdot R + V_b \end{aligned}$$

従って、出力増幅率をm倍にした場合も、アナログ信号 V_{out} は、バイアス電流 I_b の値に全く依存しないことが分かる。

【0040】

なお、図1および図2に示す実施形態では、カレントミラー回路としてNMOS12, 14を、また、制御回路としてオペアンプ16, 18をそれぞれ用いて、I/V変換回路を実現する具体例を挙げて説明している。しかし、本発明はこれに限定されず、同じ機能を実現する他の手段を用いて本発明のI/V変換回路を実現してもよい。また、バイアス電圧 V_b の設定手段を備え、後段回路の入出力特性に応じて V_b を可変に設定可能とするのが好ましい。

【0041】

また、本発明のDACは、電流発生回路の出力段に、図1および図2に一例を示す本発明のI/V変換回路を用いたものである。電流発生回路は、アナログ信号に変換すべきデジタル信号の値に対応した合計電流を発生するものであれば何ら制限はなく、従来公知のものがいずれも利用可能である。

【0042】

本発明は、基本的に以上のようなものである。

以上、本発明のI/V変換回路およびこれを用いたDAコンバータについて詳細に説明したが、本発明は上記実施形態に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【 0 0 4 3 】

【発明の効果】

以上詳細に説明した様に、本発明によれば、DACのリニアリティ不良を解消し、後段回路の入出力特性に応じて、アナログ信号の出力レベルを変換することができるのはもちろん、アナログ信号 V_{out} の電圧がバイアス電流の値に依存しないため、バイアス電流の値を制御する回路が不要であり、回路規模を削減することができるため、コストダウンが可能である。また、バイアス電流は、信号の最大周波数に応じた一定値以上の最小値に設定することができるため、同時に消費電流の削減も可能である。さらに、負荷が、第2の制御回路により直接駆動されるため、第3素子に電流が流れない場合であっても、アナログ信号の通過帯域が狭くなるのを防ぐことができる。

【図面の簡単な説明】

【図1】 本発明の I/V 変換回路の一実施形態の構成回路図である。

【図2】 本発明の I/V 変換回路の別の実施形態の構成回路図である。

【図3】 電流源の一実施形態の構成回路図である。

【図4】 従来の I/V 変換回路の一例の構成回路図である。

【符号の説明】

10, 30, 40 I/V 変換回路

12, 14, 14', 42, 44 N型MOSトランジスタ

16, 18, 46, 48 オペアンプ

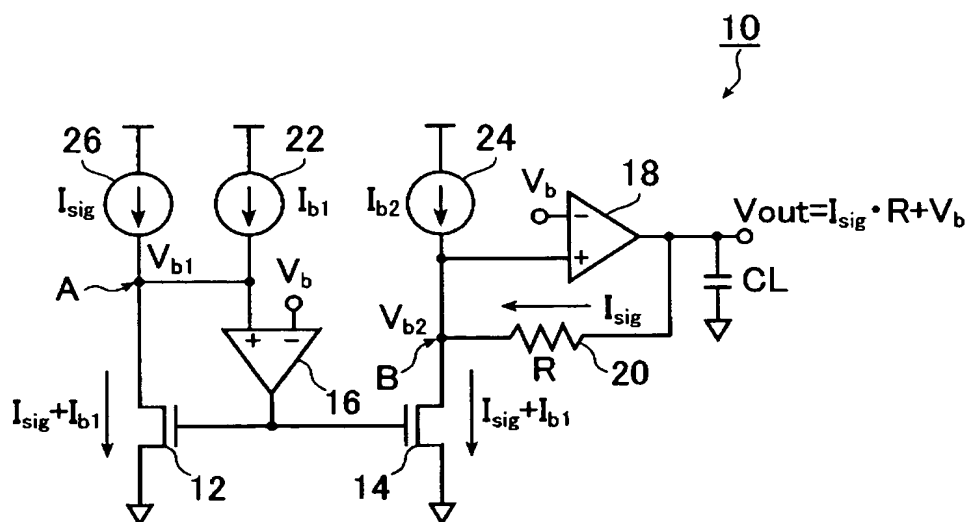
20, 52 抵抗素子

22, 24, 24', 26, 54, 56 電流源

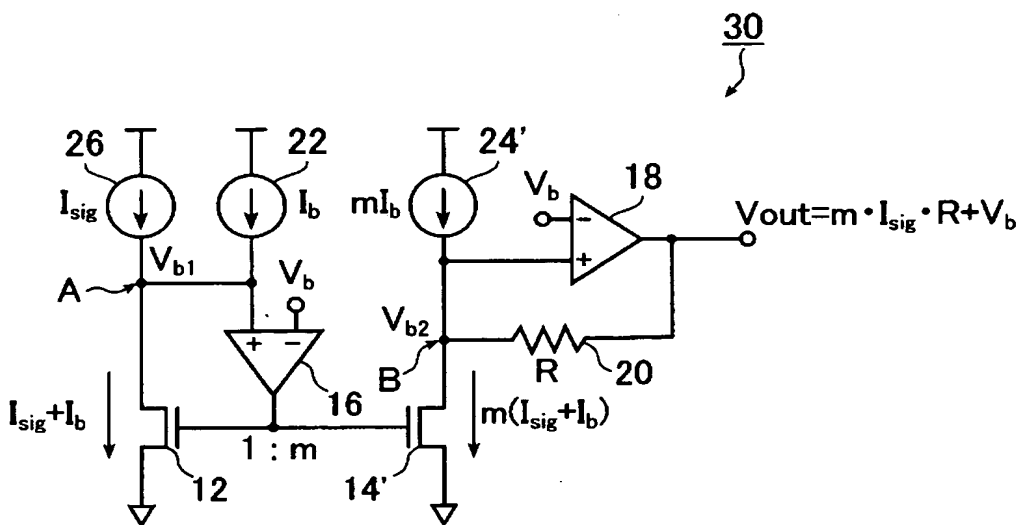
32, 34 P型MOSトランジスタ

【書類名】 図面

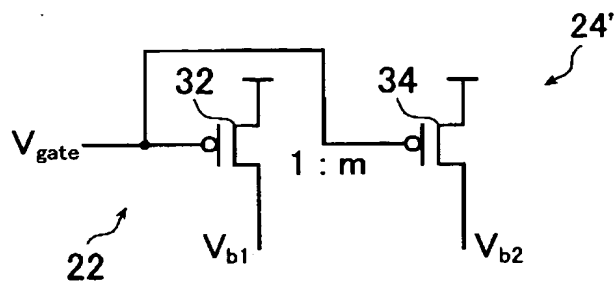
【図 1】



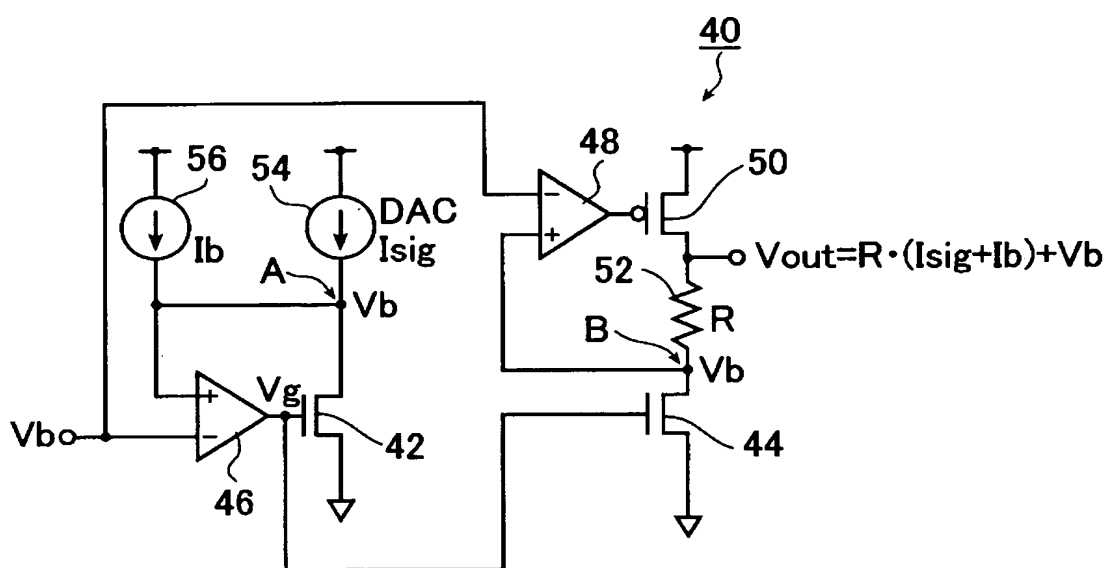
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 信号の通過帯域を広くとることができ、消費電流も削減することができる I/V 変換回路および D/A コンバータを提供する。

【解決手段】 第 1 ノードには、I 入力端子から電流が供給されると共に、第 1 のバイアス電流発生回路により第 1 のバイアス電流が供給される。第 2 ノードには、第 1 ノードに供給される電流がカレントミラーされると共に、第 2 のバイアス電流発生回路により第 2 のバイアス電流が供給される。第 1 の制御回路により、第 1 ノードの電圧がバイアス電圧と略等しい電圧となるように、カレントミラー回路の第 1 素子および第 2 素子が制御され、第 3 素子により、バイアス電圧を基準として、自分自身に流れる電流が電圧に変換され、第 2 の制御回路により、第 2 ノードの電圧がバイアス電圧と略等しい電圧となるように、V 出力端子から出力される電圧が制御される。

【選択図】 図 1

特願 2 0 0 3 - 0 9 1 2 8 2

出 願 人 履 歴 情 報

識別番号 [5 0 1 2 8 5 1 3 3]

1. 変更年月日 2 0 0 1 年 7 月 1 7 日

[変更理由] 新規登録

住 所 千葉県千葉市美浜区中瀬一丁目 3 番地

氏 名 川崎マイクロエレクトロニクス株式会社